

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
12. Juni 2003 (12.06.2003)

(10) Internationale Veröffentlichungsnummer  
**WO 03/049282 A1**

(51) Internationale Patentklassifikation<sup>7</sup>: H03F 3/45, (72) Erfinder; und  
H03G 1/00 (75) Erfinder/Anmelder (nur für US): ALIHODZIC, Admir  
[BA/AT]; Plüddemanngasse 14/7/26, A-8010 Graz (AT).

(21) Internationales Aktenzeichen: PCT/DE02/03771 (74) Anwalt: LAMBSDORFF, Matthias; Dingolfinger  
Strasse 6, 81673 München (DE).

(22) Internationales Anmelddatum: 4. Oktober 2002 (04.10.2002) (81) Bestimmungsstaaten (national): CN, JP, US.

(25) Einreichungssprache: Deutsch (84) Bestimmungsstaaten (regional): europäisches Patent  
(DE, DK, FI, FR, GB, IT, SE).

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität: 101 58 709.0 29. November 2001 (29.11.2001) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).

**Veröffentlicht:**

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

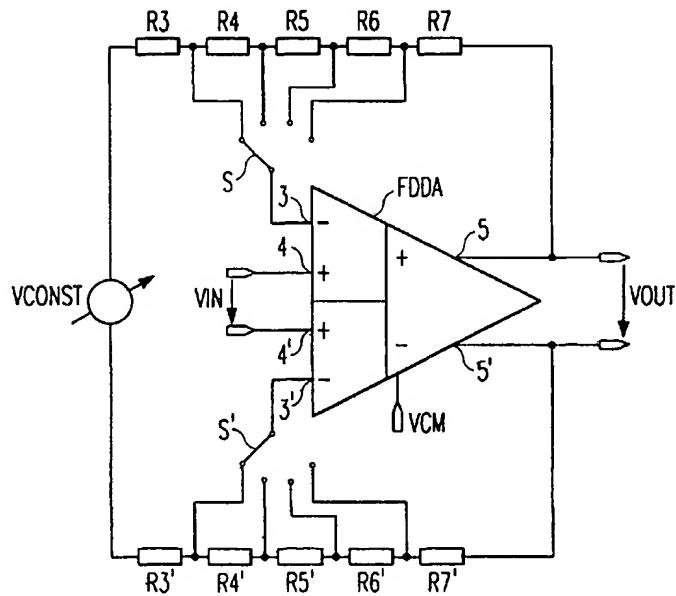
[Fortsetzung auf der nächsten Seite]

(54) Title: FULLY-DIFFERENTIATED DIFFERENTIAL AMPLIFIER WITH HIGH INPUT IMPEDANCE

(54) Bezeichnung: VOLL DIFFERENTIELLER DIFFERENZVERSTÄRKER MIT HOHER EINGANGSIMPEDANZ



**WO 03/049282 A1**



(57) **Abstract:** The invention relates to a circuit with an input voltage (VIN) and an output voltage (VOUT), comprising a fully-differentiated differential amplifier (FDDA) with two differential input pairs (3, 4; 3', 4') and a differential output pair (5, 5'). A number of resistances (R3, ..., R7, R3', ..., R7') are wired in series between the output pair (5, 5') by means of connection nodes. Each input (3, 3') of an input pair may be connected to one of the connection nodes by means of two selector switches (S, S').

[Fortsetzung auf der nächsten Seite]



*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

---

**(57) Zusammenfassung:** Die Erfindung betrifft eine Schaltung mit einer Eingangsspannung (VIN) und einer Ausgangsspannung (VOUT), welche einen voll differentiellen Differenzverstärker (FDAA) mit zwei differentiellen Eingangspaaren (3, 4; 3, 4) und einem differentiellen Ausgangspaar (5, 5) umfasst. Eine Mehrzahl von Widerständen (R3,..., R7, R3,..., R7) ist zwischen das Ausgangspaar (5, 5) und über Verbindungsknoten in Reihe geschaltet. Über zwei Wechselschaltern (S, S) ist jeweils ein Eingang (3, 3) eines Eingangspaares mit einem der Verbindungsknoten verbindbar.

## Beschreibung

Voll differentieller Differenzverstärker mit hoher  
Eingangsimpedanz

5

Die Erfindung bezieht sich auf eine Schaltung, insbesondere eine Verstärkerschaltung, mit einem voll differentiellen Differenzverstärker.

10 Mittels eines Verstärkers lassen sich elektrische Eingangsspannungen verstärken und als elektrische Ausgangsspannungen ausgeben. Derartige Verstärker werden beispielsweise als Mikrofonverstärker oder als Instrumentationsverstärker eingesetzt. Für solche Anwendungen 15 sind meistens relativ hohe Verstärkungen wünschenswert und sehr geringes Rauschen notwendig. Ein geringes thermisches Rauschen erfordert wiederum geringe Widerstandswerte innerhalb des Verstärkers. Darüber hinaus werden bei vielen Anwendungen eine hohe Eingangsimpedanz, ein geringer 20 Leistungsbedarf und eine kleine benötigte Fläche gefordert.

Ein gewöhnlicher voll differentieller Verstärker (fully differential amplifier) FDA weist, wie in Fig. 1 dargestellt, ein differentielles Paar von Eingängen 1 und 1' auf, zwischen welchen eine Eingangsspannung  $V_{IN}$  anliegt, sowie ein differentielles Paar von Ausgängen 2 und 2', zwischen welchen eine Ausgangsspannung  $V_{OUT}$  abgreifbar ist. Vor die Eingänge 1 und 1' ist jeweils ein Widerstand  $R_1$  bzw.  $R_{1'}$  geschaltet. Jeder Eingang 1 bzw. 1' ist über einen Rückkoppelzweig, 25 welcher jeweils einen Widerstand  $R_2$  bzw.  $R_{2'}$  enthält, mit einem Ausgang 2 bzw. 2' verbunden. Zur Erzielung einer geringen Empfindlichkeit gegenüber externen Störungen ist eine hohe Symmetrie der äußeren Beschaltung des voll differentiellen Verstärkers FDA erforderlich. Dazu weisen die 30 Widerstände  $R_1$  und  $R_{1'}$  und die Widerstände  $R_2$  und  $R_{2'}$  jeweils gleiche Widerstandswerte auf. 35

Bei der in Fig. 1 dargestellten Verstärkerschaltung ist es nicht möglich, eine sehr hohe Eingangsimpedanz bei einem gleichzeitig kleinen Flächenbedarf zu erzielen. Wird beispielsweise für den Widerstand R1 ein Wert von über 100 5  $k\Omega$  gewählt, so muss der Widerstand R2 bei einer maximalen Verstärkung von 30 dB einen Wert von  $3,2 M\Omega$  aufweisen. Dieser hohe Widerstandswert führt zu einem inakzeptabel großen Flächenbedarf.

10 Eine weitere Gruppe von Verstärkern beinhaltet voll differentielle Differenzverstärker (fully differential difference amplifier; FDDA). Diese Verstärker weisen im Gegensatz zu dem vorstehend beschriebenen voll differentiellen Verstärker ein weiteres differentielles 15 Eingangspaar auf. Die Ausgangsspannung eines solchen voll differentiellen Differenzverstärkers ist proportional zu der Differenz der beiden differentiellen Eingangsspannungen. Die Eigenschaften eines voll differentiellen Differenzverstärkers sind in dem Artikel „Fully Differential Basic Building Blocks 20 Based on Fully Differential Difference Amplifiers with Unity-Gain Difference Feedback“ von J. F. Duque-Carrillo, G. Torelli, R. Pérez-Aloe, J. M. Valverde und F. Maloberti, erschienen in IEEE Transactions on Circuits and Systems - I: 25 Fundamental Theory and Applications, Band 42, Nr. 3, 1995, Seiten 190-192, beschrieben. Anwendungen und äußere Beschaltungen von voll differentiellen Differenzverstärker sind in dem Artikel „A CMOS Fully Balanced Differential Difference Amplifier and Its Applications“ von H. Alzaher und M. Ismail, erschienen in IEEE Transactions on Circuits and 30 Systems - II: Analog and Digital Signal Processing, Band 48, Nr. 6, 2001, Seiten 614-620, beschrieben.

Des Weiteren sind differentielle Differenzverstärker (differential difference amplifier; DDA) bekannt, welche 35 eingangsseitig genauso wie voll differentielle Differenzverstärker zwei differentielle Eingangspaare aufweisen, ausgangsseitig jedoch nur über einen Ausgang

verfügen. Die Ausgangsspannung wird bei einem differentiellen Differenzverstärker an seinem Ausgang gegen ein gemeinsames festes Potential, beispielsweise eine Masse, gemessen.

5 Die Artikel „A Versatile Building Block: The CMOS Differential Difference Amplifier“ von E. Säckinger und W. Guggenbühl, erschienen in IEEE Journal of Solid-State Circuits, Band SC-22, Nr. 2, 1987, Seiten 287-294, und „A 3.3-V 800-nV<sub>rms</sub> Noise, Gain-Programmable CMOS Microphone 10 Preamplifier Design Using Yield Modeling Technique“ von G. Nicollini und C. Guardiani, erschienen in IEEE Journal of Solid-State Circuits, Band 28, Nr. 8, 1993, Seiten 915-921, befassen sich mit differentiellen Differenzverstärkern sowie mit Verstärkerschaltungen für diese Verstärkertypen.

15 Nachteilig an differentiellen Differenzverstärkern ist der aufgrund des nur einen Ausgangs notwendigerweise unsymmetrische Aufbau der äußeren Beschaltung. Dadurch sind diese Verstärkerschaltungen im Allgemeinen relativ anfällig 20 gegenüber externen Störungen. Ferner hat die unsymmetrische Signaldarstellung den Nachteil, dass relativ hohe Signalpegel an den beiden differentiellen Eingangspaaren auftreten. Dieses erfordert aufwendig linearisierte Eingangsstufen sowie einen ausreichenden Gleichlauf (matching) zwischen den 25 Eingangsstufen, um eine gute Linearität der Verstärkerschaltung zu erzielen.

Aufgabe der Erfindung ist es, eine Schaltung, insbesondere eine Verstärkerschaltung, mit einem voll differentiellen 30 Differenzverstärker zu schaffen, welche eine hohe Eingangsimpedanz und insbesondere eine einfache Einstellbarkeit des Verstärkungsfaktors aufweist.

35 Die der Erfindung zugrunde liegende Aufgabenstellung wird durch die Merkmale des Patentanspruchs 1 gelöst. Vorteilhafte Weiterbildungen und Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

Eine erfindungsgemäße Schaltung enthält einen voll differentiellen Differenzverstärker, welcher ein erstes differentielles Eingangspaar, ein zweites differentielles

5 Eingangspaar und ein differentielles Ausgangspaar aufweist. Eine Eingangsspannung wird zwischen einen ersten Eingang des ersten differentiellen Eingangspaares und einen ersten Eingang des zweiten differentiellen Eingangspaares angelegt. Eine Ausgangsspannung kann zwischen einem ersten und einem zweiten

10 Ausgang des differentiellen Ausgangspaares abgegriffen werden. Ferner weist die Schaltung eine Mehrzahl von Widerständen auf, welche zwischen das Ausgangspaar und über Verbindungsknoten in Reihe geschaltet sind. Der zweite Eingang des ersten Eingangspaares kann mittels eines ersten

15 Wechselschalters mit einem der Verbindungsknoten verbunden werden. Der zweite Eingang des zweiten Eingangspaares kann mittels eines zweiten Wechselschalters ebenfalls mit einem der Verbindungsknoten verbunden werden. Dabei sind die beiden Wechselschalter so geschaltet, dass zwischen die zweiten

20 Eingänge mindestens ein Widerstand geschaltet ist.

Die erfindungsgemäße Verwendung eines voll differentiellen Differenzverstärkers mit einem symmetrischen Ausgangspaar sowie die Symmetrie der erfindungsgemäßen Schaltung machen

25 die Schaltung sehr unempfindlich gegenüber externen Störungen und erzeugen nur sehr kleine Differenzspannungen an den jeweiligen differentiellen Eingangspaaren. Dadurch kann eine hohe Eingangsimpedanz realisiert werden.

30 Vorteilhaftweise bilden die Widerstände, die zwischen dem zweiten Eingang des ersten Eingangspaares und dem ersten Ausgang des Ausgangspaares seriell angeordnet sind, einen ersten Rückkoppelwiderstand. Ein zweiter Rückkoppelzweig wird durch die Reihenschaltung der zwischen dem zweiten Eingang

35 des zweiten Eingangspaares und dem zweiten Ausgang des Ausgangspaares angeordneten Widerstände gebildet. Bei einer Verwendung der erfindungsgemäßen Schaltung als

Verstärkerschaltung wird der Verstärkungsfaktor, welcher die Verstärkung der Eingangsspannung in die Ausgangsspannung angibt, durch die Rückkoppelwiderstände und den mindestens einen Widerstand bestimmt. Aufgrund der genannten Vorteile 5 der erfindungsgemäßen Schaltung können die beiden Rückkoppelwiderstände niederohmig ausgelegt werden. Daraus resultieren ein geringer Flächenbedarf, geringes Rauschen und geringe Signalverzerrungen. Ferner können durch die erfindungsgemäße Schaltung die beiden Rückkoppelwiderstände 10 und der mindestens eine Widerstand durch die zwei Wechselschalter eingestellt werden. Das bedeutet, dass drei verschiedene Widerstandswerte durch nur zwei Parameter eingestellt werden. Bei einer Verwendung der erfindungsgemäßen Schaltung als Verstärkerschaltung ist somit 15 der Verstärkungsfaktor, der sich aus den Größen der beiden Rückkoppelwiderstände und des mindestens einen Widerstands ergibt, auf besonders einfache Weise einstellbar.

Um eine möglichst hohe Symmetrie der erfindungsgemäßen 20 Schaltung zu erzielen und somit die Einkopplung externer Störungen weitgehend zu unterdrücken, weisen die beiden Rückkoppelwiderstände vorteilhaftweise stets dieselben Widerstandswerte auf.

25 Außerdem kann vorzugsweise vorgesehen sein, dass die Widerstände der Mehrzahl von Widerständen dieselben Widerstandswerte aufweisen. Sofern auch die Widerstandswerte der beiden Rückkoppelwiderstände gleich sind, werden für eine Änderung der Rückkoppelwiderstände und des mindestens einen 30 Widerstands die beiden Wechselschalter stets synchron umgeschaltet. Dies bedeutet wiederum, dass mit nur einem Parameter, welcher die Schaltstellungen der Wechselschalter angibt, zwei Widerstandswerte eingestellt werden.

35 Zur Einstellung der beiden Wechselschalter ist es besonders vorteilhaft, wenn die Schaltstellungen der beiden

Wechselschalter steuerbar und insbesondere programmierbar sind.

Vorteilhafte Wechselschalter können zur Realisierung der beiden

5 Wechselschalter Transistoren, insbesondere MOS-Transistoren, verwendet werden.

Gemäß einer weiteren besonders vorteilhaften Ausgestaltung der Erfindung ist eine Spannungsquelle seriell mit dem

10 mindestens einen Widerstand zwischen den ersten und den zweiten Rückkoppelwiderstand geschaltet. Diese Maßnahme ist sinnvoll, falls zwischen den ersten Eingängen der beiden differentiellen Eingangspaare eine konstante Vorspannung anliegt, welche durch unterschiedliche Größen der

15 Gleichtaktspannungen, die am Eingang und am Ausgang der Schaltung auftreten, verursacht wird. Durch die von der Spannungsquelle bereitgestellte Spannung lässt sich die konstante Vorspannung kompensieren. Der Punkt der Schaltung, an welchem die Spannungsquelle in die Schaltung eingefügt

20 wird, kann dadurch beispielsweise mit der sogenannten Common-Mode-Spannung beaufschlagt werden. Aus Symmetriegründen kann der mindestens eine Widerstand vorzugsweise zwei seriell geschaltete Widerstände mit gleichen Widerstandswerten enthalten, zwischen welchen die Spannungsquelle angeordnet

25 ist.

Bei einer Implementierung der erfindungsgemäßen Schaltung in einem elektrischen Schaltkreis oder einem elektrischen Gerät ist es zum Abgleichen der Schaltung von Vorteil, die

30 Spannungsquelle einstellbar oder steuerbar auszulegen.

Die erfindungsgemäße Schaltung kann besonders vorteilhaft als integrierte Schaltung mittels CMOS -(complementary metal oxid semiconductor) -Technologie hergestellt werden.

35

Des Weiteren ist ein Einsatz der erfindungsgemäßen Schaltung als Verstärkerschaltung besonders vorteilhaft, insbesondere

als Mikrofon- oder Instrumentations-Verstärkerschaltung. Hierbei wird die Eingangsspannung verstärkt und als Ausgangsspannung ausgegeben, wobei der Verstärkungsfaktor durch die Rückkoppelwiderstände und den mindestens einen 5 Widerstand bestimmt ist.

Weitere Möglichkeiten zur Implementierung der erfindungsgemäßen Schaltung stellen Gleichrichter oder Filter dar. Zur Erzeugung eines Hochpassfilters wird beispielsweise 10 den ersten Eingängen der beiden differentiellen Eingangspaare jeweils ein Kondensator vorgeschaltet. Ein Tiefpassfilter wird zum Beispiel durch eine Parallelschaltung von Kondensatoren zu den Rückkoppelwiderständen erzeugt.

15 Die Erfindung wird nachfolgend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnungen näher erläutert. Es zeigen:

20 Fig. 1 ein Schaltbild einer bekannten Verstärkerschaltung mit einem voll differentiellen Verstärker;

Fig. 2 ein Schaltbild eines Ausführungsbeispiels der erfindungsgemäßen Schaltung; und

25 Fig. 3 ein Schaltbild des in dem in Fig. 2 gezeigten Ausführungsbeispiel eingesetzten voll differentiellen Differenzverstärkers.

Fig. 2 zeigt ein Ausführungsbeispiel der erfindungsgemäßen 30 Schaltung. Hierbei ist die Schaltung als Verstärkerschaltung realisiert. Ein voll differentieller Differenzverstärker FDDA weist ein differentielles Eingangspaar mit einem invertierenden Eingang 3 und einem nicht-invertierenden Eingang 4, ein weiteres differentielles Eingangspaar mit 35 einem invertierenden Eingang 3' und einem nicht-invertierenden Eingang 4' sowie ein differentielles Ausgangspaar mit Ausgängen 5 und 5' auf.

Zwischen die Ausgänge 5 und 5' sind Widerstände R7, R6, R5, R4, R3, R3', R4', R5', R6' und R7' in Reihe geschaltet, wobei zwischen die Widerstände R3 und R3' zusätzlich eine

5 einstellbare Spannungsquelle VCONST geschaltet ist. Ein Wechselschalter S ermöglicht es, den Eingang 3 wahlweise mit einem der zwischen den Widerständen R3 bis R7 befindlichen Knoten zu verbinden. Entsprechend wird mittels eines Wechselschalters S' einer der zwischen den Widerständen R3' 10 bis R7' liegenden Knoten angewählt, sodass sich eine Verbindung dieses Knotens mit dem Eingang 3' ergibt. Aufgrund dieser Beschaltung bilden die Widerstände, die seriell zwischen dem von dem Wechselschalter S ausgewählten Knoten und dem Ausgang 5 angeordnet sind, einen ersten 15 Rückkoppelwiderstand des voll differentiellen Differenzverstärkers FDDA. Entsprechend bilden die Widerstände, die zwischen dem von dem Wechselschalter S' ausgewählten Knoten und dem Ausgang 5' seriell angeordnet sind, einen zweiten Rückkoppelwiderstand des voll 20 differentiellen Differenzverstärkers FDDA.

Für die in Fig. 2 gezeigten Schaltstellungen der Wechselschalter S und S' bedeutet dies, dass sich der erste Rückkoppelwiderstand aus den Widerständen R4 bis R7 und der 25 zweite Rückkoppelwiderstand aus den Widerständen R4' bis R7' ergeben.

Eine Eingangsspannung VIN speist den voll differentiellen Differenzverstärker FDDA über die Eingänge 4 und 4'. Zwischen 30 den Ausgängen 5 und 5' liegt eine Ausgangsspannung VOUT an. Sofern die Widerstandspaare R3 und R3', R4 und R4' usw. jeweils die gleichen Widerstandswerte aufweisen, ergibt sich bei den in Fig. 2 dargestellten Schaltstellungen der Wechselschalter S und S' die Ausgangsspannung VOUT aus der 35 Verstärkung der Eingangsspannung VIN mit dem Verstärkungsfaktor  $1 + R3 / (R4 + R5 + R6 + R7)$ .

Vorteilhafterweise besitzen die Widerstände R3 bis R7 sowie R3' bis R7' die gleichen Widerstandswerte, und die Wechselschalter S und S' weisen stets symmetrische Schaltstellungen auf, sodass sich insgesamt eine

5 hochsymmetrische äußere Beschaltung des voll differentiellen Differenzverstärkers FDDA ergibt. Dadurch wird die Empfindlichkeit der Verstärkerschaltung gegenüber externen Störungen minimiert. Ferner kann dadurch der Verstärkungsfaktor der Verstärkerschaltung besonders einfach

10 eingestellt werden, da lediglich die Schaltstellungen der Wechselschalter S und S' gemeinsam geändert werden müssen. Das bedeutet, dass mit nur einem Einstellparameter der Verstärkungsfaktor eingestellt wird.

15 Falls die Gleichtaktspannung VCMIN an den Eingängen 4 und 4' und die Gleichtaktspannung VCMOUT an den Ausgängen 5 und 5' unterschiedliche Werte besitzen, tritt zwischen den Eingängen 4 und 4' eine konstante Vorspannung mit einem Wert von  $\pm (VCMIN - VCMOUT)$  auf. Diese konstante Vorspannung lässt

20 sich mit der von der Spannungsquelle VCONST erzeugten Spannung kompensieren. Dazu muss die Spannungsquelle VCONST bei dem in Fig. 2 eingestellten Verstärkungsfaktor eine Spannung von  $[(R3 + R4 + R5 + R6 + R7) * VCMIN - R3 * VCMOUT] / (R4 + R5 + R6 + R7)$  bereitstellen. Die Spannungsquelle

25 VCONST dient folglich dazu, den Verbindungspunkt der Widerstände R3 und R3' auf die sogenannte Common-Mode-Spannung zu bringen.

30 Es wäre allerdings auch denkbar, die vorliegende Verstärkerschaltung ohne die Spannungsquelle VCONST zu realisieren. Dann würden die entsprechenden Anschlüsse der Widerstände R3 und R3' kurzgeschlossen.

35 Ein Eingang VCM des voll differentiellen Differenzverstärkers FDDA dient dazu, die ausgangsseitige Gleichtaktspannung VCMOUT zu steuern oder zu regeln.

10

Die vorliegende Verstärkerschaltung weist einen hohen Eingangsaussteuerbereich von 1 V<sub>pdifff</sub> bei einer Versorgungsspannung VDD von 1,8 V auf. Die Verstärkung der Verstärkerschaltung kann auch programmierbar ausgelegt 5 werden. Es sind Verstärkungen von 0 dB bis 30 dB möglich.

In Fig. 3 ist ein Schaltbild des in dem in Fig. 2 gezeigten Ausführungsbeispiel der Erfindung verwendeten voll differentiellen Differenzverstärkers FDDA dargestellt.

10

Der voll differentielle Differenzverstärker FDDA enthält drei Differenzverstärker mit p-Kanal-MOSFETs MP1, MP1', MP2, MP2', MP3, MP3' und Stromquellen I1, I2, I3. Des Weiteren umfasst der voll differentielle Differenzverstärker FDDA Stromquellen 15 I4 und I5, Widerstände R8 und R9, Kondensatoren C1, C2, C3 und C4 sowie n-Kanal-MOSFETs MN1, MN2, MN3, MN4, MN5 und MN6.

## Patentansprüche

1. Schaltung mit einem voll differentiellen Differenzverstärker (FDDA), welcher ein erstes differentielles Eingangspaar (3, 4), ein zweites differentielles Eingangspaar (3', 4') und ein differentielles Ausgangspaar (5, 5') aufweist, wobei
  - eine Eingangsspannung (VIN) zwischen einem ersten Eingang (4) des ersten Eingangspaares (3, 4) und einem ersten Eingang (4') des zweiten Eingangspaares (3', 4') anliegt,
  - eine Ausgangsspannung (VOUT) zwischen einem ersten Ausgang (5) und einem zweiten Ausgang (5') des Ausgangspaares (5, 5') abgreifbar ist,
  - eine Mehrzahl von Widerständen (R3, ..., R7, R3', ..., R7') zwischen das Ausgangspaar (5, 5') und über Verbindungsknoten in Reihe geschaltet ist,
  - der zweite Eingang (3) des ersten Eingangspaares (3, 4) mittels eines ersten Wechselschalters (S) mit einem der Verbindungsknoten verbindbar ist,
  - der zweite Eingang (3') des zweiten Eingangspaares (3', 4') mittels eines zweiten Wechselschalters (S') mit einem der Verbindungsknoten verbindbar ist, und
  - die beiden Wechselschalter (S, S') derart geschaltet sind, dass zwischen den zweiten Eingang (3) des ersten Eingangspaares (3, 4) und den zweiten Eingang (3') des zweiten Eingangspaares (3', 4') mindestens ein Widerstand (R3, R3') aus der Mehrzahl von Widerständen (R3, ..., R7, R3', ..., R7') geschaltet ist.
2. Schaltung nach Anspruch 1, dadurch gekennzeichnet,
  - dass die Widerstände (R4, ..., R7) aus der Mehrzahl von Widerständen (R3, ..., R7, R3', ..., R7'), die zwischen den zweiten Eingang (3) des ersten Eingangspaares (3, 4) und den ersten Ausgang (5) des Ausgangspaares (5, 5') geschaltet sind, einen ersten Rückkoppelwiderstand bilden, und

- dass die Widerstände ( $R4', \dots, R7'$ ) aus der Mehrzahl von Widerständen ( $R3, \dots, R7, R3', \dots, R7'$ ), die zwischen den zweiten Eingang ( $3'$ ) des zweiten Eingangspaars ( $3', 4'$ ) und den zweiten Ausgang ( $5'$ ) des Ausgangspaars ( $5, 5'$ ) geschaltet sind, einen zweiten Rückkoppelwiderstand bilden.

5 3. Schaltung nach Anspruch 2,  
d a d u r c h g e k e n n z e i c h n e t,  
10 - dass der erste Rückkoppelwiderstand ( $R4, \dots, R7$ ) und der zweite Rückkoppelwiderstand ( $R4', \dots, R7'$ ) dieselben Widerstandswerte aufweisen.

15 4. Schaltung nach einem oder mehreren der vorhergehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
- dass die Widerstände der Mehrzahl von Widerständen ( $R3, \dots, R7, R3', \dots, R7'$ ) dieselben Widerstandswerte aufweisen.

20 5. Schaltung nach einem oder mehreren der vorhergehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
- dass die Schaltstellungen der beiden Wechselschalter ( $S, S'$ ) steuerbar und insbesondere programmierbar sind.

25 6. Schaltung nach einem oder mehreren der vorhergehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
- dass die beiden Wechselschalter ( $S, S'$ ) Transistoren, insbesondere MOS-Transistoren, aufweisen.

30 7. Schaltung nach einem oder mehreren der Ansprüche 2 bis 6,  
d a d u r c h g e k e n n z e i c h n e t,  
35 - dass eine Spannungsquelle (VCONST) zwischen den ersten Rückkoppelwiderstand ( $R4, \dots, R7$ ) und den zweiten

Rückkoppelwiderstand ( $R4', \dots, R7'$ ) und in Reihe mit dem mindestens einen Widerstand ( $R3, R3'$ ) geschaltet ist.

8. Schaltung nach Anspruch 7,
- 5 durch gekennzeichnet,
  - dass die Spannungsquelle (VCONST) einstellbar oder steuerbar ist.
9. Schaltung nach einem oder mehreren der vorhergehenden 10 Ansprüche,  
durch gekennzeichnet,
  - dass die Schaltung mittels CMOS-Technologie realisiert ist.
- 15 10. Verstärkerschaltung, insbesondere eine Mikrofon-Verstärkerschaltung oder eine Instrumentations-Verstärkerschaltung, oder ein Filter oder ein Gleichrichter, enthaltend eine Schaltung nach einem oder mehreren der vorhergehenden Ansprüche.

1/2

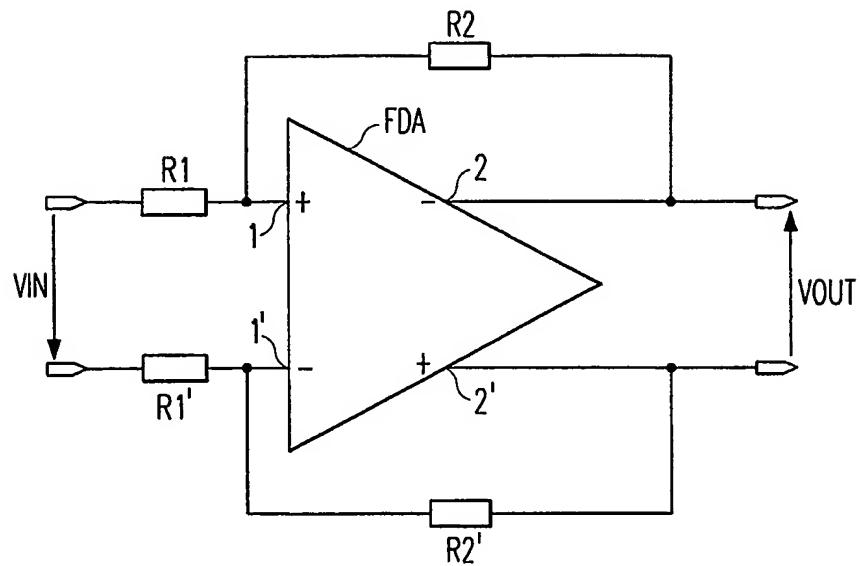


Fig. 1  
Stand der Technik

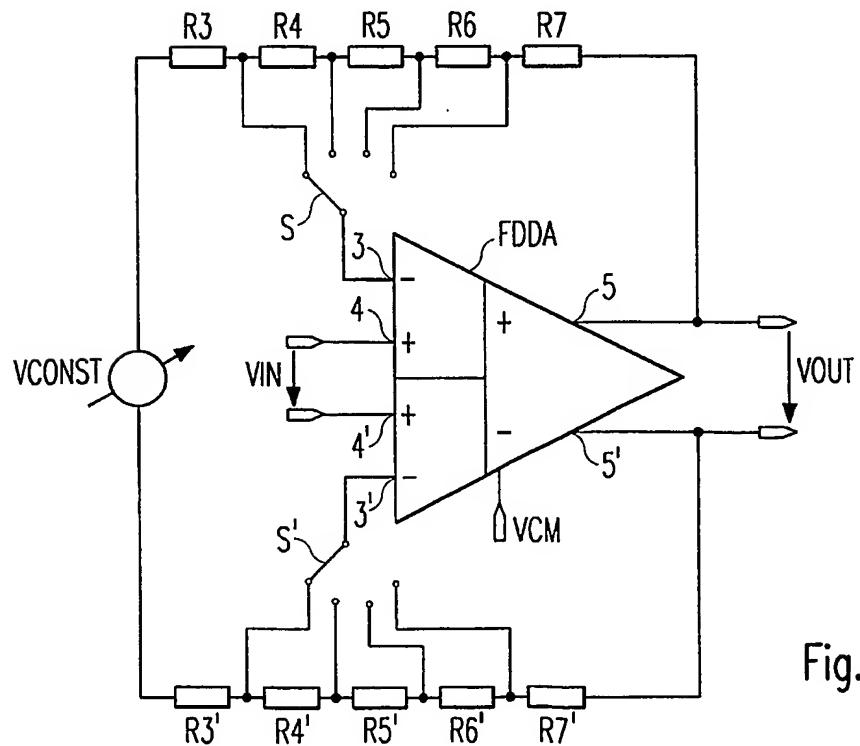


Fig. 2

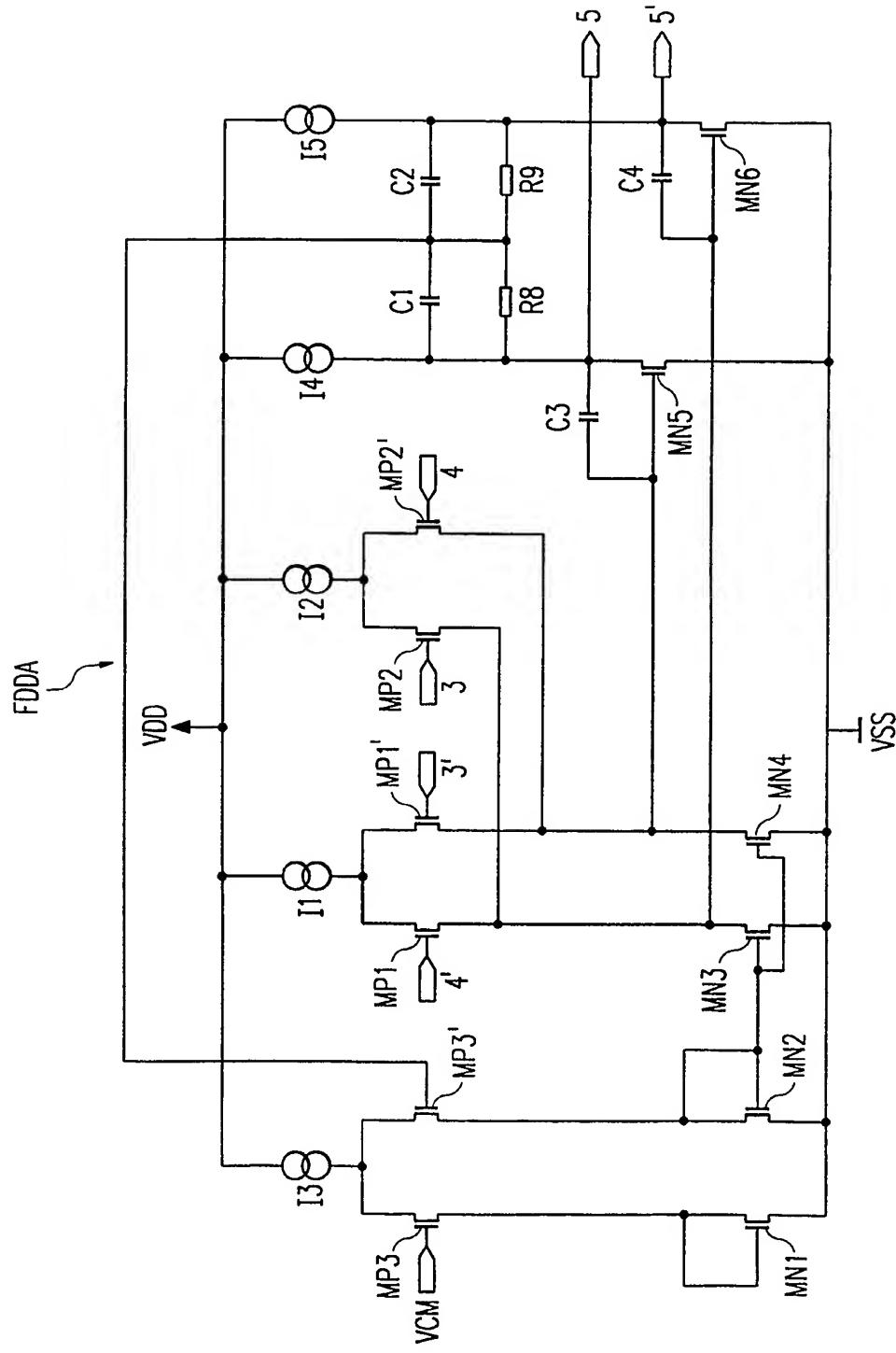


Fig. 3

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/DE U2/03771A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H03F3/45 H03G1/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H03F H03G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category <sup>*</sup>	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 1 083 655 A (TOKYO SHIBAURA ELECTRIC CO) 14 March 2001 (2001-03-14) paragraph '0001! - paragraph '0011!; figures 1-4 ---	1-6, 9
Y	US 5 233 309 A (SPITALNY PAUL ET AL) 3 August 1993 (1993-08-03) column 3, line 18 -column 4, line 52; figure 5 ---	1-6, 9
A	---	10 -/-

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

## \* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*&\* document member of the same patent family

Date of the actual completion of the international search

25 March 2003

Date of mailing of the international search report

02/04/2003

## Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

## Authorized officer

Tyberghien, G

## INTERNATIONAL SEARCH REPORT

International / Application No  
PCT/DE U2/03771

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	MEIJER G C M ET AL: "NEW CONCEPTS FOR SMART SIGNAL PROCESSORS AND THEIR APPLICATION TO PSD DISPLACEMENT TRANSDUCERS" SENSORS AND ACTUATORS A, ELSEVIER SEQUOIA S.A., LAUSANNE, CH, vol. A35, no. 1, 1 October 1992 (1992-10-01), pages 23-30, XP000312354 ISSN: 0924-4247 page 26, left-hand column; figure 3 -----	7,8

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No  
PCT/DE 02/03771

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
EP 1083655	A	14-03-2001	JP	2001085958 A		30-03-2001
			EP	1083655 A2		14-03-2001
			TW	477107 B		21-02-2002
			US	6359510 B1		19-03-2002
<hr/>						
US 5233309	A	03-08-1993	DE	69306753 D1		30-01-1997
			DE	69306753 T2		10-04-1997
			EP	0620955 A1		26-10-1994
			JP	3036843 B2		24-04-2000
			JP	7508620 T		21-09-1995
			US	5486791 A		23-01-1996
			WO	9314564 A1		22-07-1993

**INTERNATIONALER RECHERCHENBERICHT**

Internationale Anmeldungen  
PCT/DE 02/03771

**A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES**  
IPK 7 H03F3/45 H03G1/00

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

**B. RECHERCHIERTE GEBIETE**

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H03F H03G

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

**C. ALS WESENTLICH ANGESEHENE UNTERLAGEN**

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	EP 1 083 655 A (TOKYO SHIBAURA ELECTRIC CO) 14. März 2001 (2001-03-14) Absatz '0001! - Absatz '0011!; Abbildungen 1-4	1-6, 9
Y	US 5 233 309 A (SPITALNY PAUL ET AL) 3. August 1993 (1993-08-03)	1-6, 9
A	Spalte 3, Zeile 18 -Spalte 4, Zeile 52; Abbildung 5	10
	---	-/-

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

- \* Besondere Kategorien von angegebenen Veröffentlichungen :
- \*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- \*E\* älteres Dokument, das jedoch erst am oder nach dem Internationalen Anmeldedatum veröffentlicht worden ist
- \*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- \*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- \*P\* Veröffentlichung, die vor dem Internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem Internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*&\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
25. März 2003	02/04/2003
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter Tyberghien, G

## INTERNATIONALER RECHERCHENBERICHT

Internationale: enzeichen

PCT/DE 02/03771

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie <sup>a</sup>	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	MEIJER G C M ET AL: "NEW CONCEPTS FOR SMART SIGNAL PROCESSORS AND THEIR APPLICATION TO PSD DISPLACEMENT TRANSDUCERS" SENSORS AND ACTUATORS A, ELSEVIER SEQUOIA S.A., LAUSANNE, CH, Bd. A35, Nr. 1, 1. Oktober 1992 (1992-10-01), Seiten 23-30, XP000312354 ISSN: 0924-4247 Seite 26, linke Spalte; Abbildung 3 -----	7,8

**INTERNATIONALER RECHERCHENBERICHT**

Angaben zu Veröffentlichungen, die in der Patentfamilie gehören

Internationales  
PCT/DE 02/03771

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 1083655	A	14-03-2001	JP	2001085958 A		30-03-2001
			EP	1083655 A2		14-03-2001
			TW	477107 B		21-02-2002
			US	6359510 B1		19-03-2002
US 5233309	A	03-08-1993	DE	69306753 D1		30-01-1997
			DE	69306753 T2		10-04-1997
			EP	0620955 A1		26-10-1994
			JP	3036843 B2		24-04-2000
			JP	7508620 T		21-09-1995
			US	5486791 A		23-01-1996
			WO	9314564 A1		22-07-1993